

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020020053412 A
 (43) Date of publication of application: 05.07.2002

(21) Application number: 1020000083044
 (22) Date of filing: 27.12.2000

(71) Applicant: AMKOR TECHNOLOGY KOREA, INC.
 (72) Inventor: SON, EUN SUK

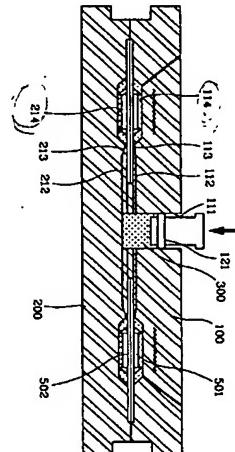
(51) Int. Cl H01L 23/16

(54) MOLD FOR SEMICONDUCTOR PACKAGE

(57) Abstract:

PURPOSE: A mold for a semiconductor package is provided to mold the semiconductor package at two times per one process as much as a conventional process by holding two or more packages in a cavity in the mold at the same time.

CONSTITUTION: A ram port(111) is formed on an upper mold(100) in order to move a transfer ram (121) melting a molding material(300) of a solid state to up and down direction. A runner(112) and a gate(113) are formed on the both sides of the ram port by connecting to the ram port in order to pass the melted molding material. The first cavity(114) molding the first semiconductor package part(501) is formed on each gate. A runner(212) and a gate(213) are formed on a lower mold by connecting to the ram port in order to pass the molding material. The second cavity(214) is formed on the gate in order to mold the second semiconductor package part(502) in an upset state. The first and the second cavity are formed in order to closely contact the first and the second semiconductor package part each other.



© KIPO 2003

Legal Status

Date of final disposal of an application (20021223)

특2002-0053412

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
HO1L 23/16

(11) 공개번호 특2002-0053412
(43) 공개일자 2002년07월05일

(21) 출원번호	10-2000-0083044
(22) 출원일자	2000년12월27일
(71) 출원인	엠코 테크놀로지 코리아 주식회사 마이클 디. 오브라이언 광주 북구 대촌동 957
(72) 발명자	손은숙
(74) 대리인	서울특별시성동구성수2가3동279-50성수1차대우0101동1301호 서만규

설사접구 : 있음**(54) 반도체패키지용 금형****요약**

이 발명은 반도체패키지용 금형에 관한 것으로, 반도체패키지 자재의 롤딩 속도 및 생산성을 대략 2배 이상 향상시킬 수 있도록, 봉지재를 고압상태로 제공하는 트랜스퍼램이 이동하도록 일정 직경의 램포트가 형성되어 있고, 상기 램포트의 일측에는 상기 램포트에 연통되어 상기 봉지재가 통과하도록 런너 및 게이트가 순차적으로 형성되어 있고, 상기 게이트에는 제1반도체패키지 자재가 위치되어 봉지재로 롤딩되도록 제1캐비티가 형성되어 있는 상금형과; 상기 상금형의 램포트 하부에는 상기 램포트에 연통되어 상기 봉지재가 통과하도록 런너 및 게이트가 순차적으로 형성되어 있고, 상기 게이트에는 제2반도체패키지 자재가 위치되어 봉지재로 롤딩되도록 제2캐비티가 형성되어 있는 하금형을 포함하여 이루어진 것을 특징으로 함.

도표도**도2****도면서****도면의 간접적 설명**

도1은 종래의 반도체패키지용 금형을 도시한 단면도이다.

도2는 본 발명의 제1실시예인 반도체패키지용 금형을 도시한 단면도이다.

도3은 본 발명의 제2실시예인 반도체패키지용 금형을 도시한 단면도이다.

도4는 도2와 도3에 의해 롤링된 스트립을 도시한 평면도이다.

-도면의 주요부분에 대한 부호설명-

100:상금형 200:하금형

111,211: 램포트(Ram Port), 제2램포트112, 212; 런너(Runner),

113,213: 게이트(Gate)

114, 214: 제1캐비티, 제2캐비티(Cavity)

121,221: 트랜스퍼램(Transfer Ram), 제2트랜스퍼램

300:봉지재

301: 커트(Cut)

400: 플레이트(Plate)

501,502: 제1반도체패키지 자재, 제2반도체패키지 자재

발명의 상세한 설명**발명의 목적**

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체패키지용 금형에 관한 것으로, 더욱 상세하게 설명하면 반도체패키지 자체의 몰딩 속도 및 생산성을 대략 2배 이상 향상시킬 수 있는 반도체패키지용 금형에 관한 것이다.

일반적인 반도체패키지의 제조 과정은 웨이퍼(Wafer)상에 다수 형성되어 있는 반도체칩을 날개로 자르고 검사하는 소팅(Sorting) 단계와, 접착제를 이용하여 인쇄회로기판 등에 상기 반도체칩을 접착하는 첨부착 단계와, 상기의 자재를 히터 블록(Heater Block)상에 앉치시킨 후 도전성와이어(Wire)를 이용하여 반도체 칩의 입출력핀과 인쇄회로기판의 본드핀거 끝단을 연결하는 와이어 본딩(Wire Bonding) 단계와, 상기 와이어 본딩이 끝난 자재를 상금형과 하금형 사이에 위치시키고, 봉지재를 충진하여 상기 반도체 칩, 도전성 와이어 등이 외부 환경으로부터 보호되고, 전기적으로 절연되며, 반도체칩의 작동시 발생되는 열이 효과적으로 방출되고, 마더보드(Mother Board)에 용이하게 실장되도록 일정한 모양으로 성형하는 몰딩(Molding) 단계 등으로 이루어진다.

여기서 상기 금형 및 봉지재를 이용한 몰딩 방법은 반도체패키지 제조 단계의 핵심이라고도 볼 수 있으며, 다른 어떠한 가공법보다 간편하기 때문에 오늘날 반도체패키지의 몰딩 공정에 가장 많이 사용되고 있는 방법이다. 상기 봉지재는 보통 에폭시몰딩컴파운드(Epoxy Molding Compound)를 이용하는데 이는 세라믹(Ceramic)과 비교해서 열화성성이나 신뢰성면에서는 열등하지만 가격이 저렴하고 생산성이 월등히 높기 때문에 오늘날 반도체패키지에 사용되는 대부분의 봉지재는 상기 에폭시몰딩컴파운드이다.

증래 이러한 봉지재를 이용하여 몰딩하는 방법은 도1에 도시된 바와 같이 상금형(10)과 하금형(20)으로 구성된 금형을 이용하게 되는데 그 구조 및 작용을 간단히 설명하면 다음과 같다.

우선 소정의 프레스(도시되지 않음)로부터 힘을 전달받아 고용체 상태의 봉지재(40)를 소정 방향으로 밀어 넣을 수 있도록 하는 트랜스퍼 램(30)이 구비되어 있다.

한편, 상기 탑다이(10)에는 상기 트랜스퍼 램(30)이 삽입된 상태에서 하강하여 그 하부에 위치된 고용체의 봉지재(40)가 소정 방향으로 흐르도록 일정 공간의 램포트(11)가 형성되어 있다.

또한, 상기 탑다이(10)의 램포트(11)에 연결되어어서는 상기 트랜스퍼 램(30)의 가압력에 의해 연화된 봉지재(40)가 일정 방향으로 흐를 수 있도록 다수의 런너(12) 및 게이트(13)가 형성되어 있다.

또한 상기 게이트(13)에 연통되어어서는 탑다이(10) 및 바텀다이(20)에 반도체패키지 자재(50)가 위치할 수 있도록 일정한 공간을 갖는 다수의 캐비티(14, 24)가 형성되어 있다.

여기서 상기 상금형(10) 및 하금형(20)에는 상기 고용체상의 봉지재(40)가 용이하게 연화되도록 가열수단으로서 히트 카트리지(16) 등이 내장되어 있으며 또 다수의 에어벤트(15)가 형성되어 상기 흘러 들어오는 봉지재(40)의 가스 및 공기를 캐비티(14)의 외부로 용이하게 방출시킬 수 있도록 되어 있다.

그러나 이러한 증래의 반도체패키지를 금형은 하나의 캐비티에 하나의 반도체패키지 자재만이 위치됨으로써, 생산속도가 비교적 느리고 또한 이에 따라 생산성도 뛰어나지 않은 단점이 있다.

본명이 이루고자 하는 기술적 특징

본 발명은 이와 같은 증래의 문제점을 해결하기 위해 만출한 것으로, 본 발명의 목적은 반도체패키지 자재를 몰딩하는 금형중 캐비티에 적어도 2개 이상의 자재를 동시에 앉착시킴으로써, 한번의 공정으로 증래보다 대략 2배 많은 반도체패키지 자재를 몰딩할 수 있는 반도체패키지용 금형을 제공하는데 있다.

본명의 구성 및 작용

상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지용 금형은 봉지재를 고압상태로 제공하는 트랜스퍼램이 이동하도록 일정 직경의 램포트가 형성되어 있고, 상기 램포트의 일측에는 상기 램포트에 연통되어 상기 봉지재가 통과하도록 런너 및 게이트가 순차적으로 형성되어 있고, 상기 게이트에는 제1반도체 패키지 자재가 위치되어 봉지재로 몰딩되도록 제1캐비티가 형성되어 있는 상금형과; 상기 상금형의 램포트 하부에는 상기 램포트에 연통되어 상기 봉지재가 통과하도록 런너 및 게이트가 순차적으로 형성되어 있고, 상기 게이트에는 제2반도체패키지 자재가 위치되어 봉지재로 몰딩되도록 제2캐비티가 형성되어 있는 하금형을 포함하여 이루어진 것을 특징으로 한다.

여기서, 상기 제1캐비티 및 제2캐비티는 상기 각각의 제1, 2캐비티에 앉착된 제1, 2반도체패키지 자재가 상호 밀착되도록 형성되어 있다.

또한, 상기 제1캐비티 및 제2캐비티 사이에는 대략 판상의 플레이트가 위치되고, 상기 플레이트의 상, 하면에는 제1, 2반도체패키지 자재가 밀착되도록 할 수도 있다.

더불어, 상기 하금형에는 상기 램포트와 연통된 제2램포트가 더 형성되어 있고, 제2램포트에는 별도의 제2트랜스퍼램이 상, 하 이동 가능하게 더 결합되어 있을 수 있다.

상기와 같이 하여 본 발명에 의한 반도체패키지용 금형은 상금형 및 하금형에 각각 제1캐비티 및 제2캐비티를 각각 형성하고, 상기 각각의 제1, 2캐비티에는 제1, 2반도체패키지 자재가 위치하도록 함으로써, 한번의 공정으로 증래에 비하여 2배의 몰딩된 반도체패키지 자재를 얻게 된다. 따라서, 증래에 비하여 생산성이 2배로 향상된다.

이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바탕작한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

도2는 본 발명의 제1실시예인 반도체패키지용 금형을 도시한 단면도로서, 도시된 바와 같이 크게 상금형(100)과 하금형(200)의 결합 구조를 하고 있다.

먼저, 상금형(100)에는 고체상(固體狀)의 봉지재(300)를 고온, 고압 상태로 융용시키는 트랜스퍼램(121)이 상, 하 방향으로 이동할 수 있도록, 일정 직경을 갖는 램포트(111)가 형성되어 있고, 상기 램포트(111)

1)의 양측으로는 상기 램포트(111)에 연통되어 상기 융용된 봉지재(300)가 통과할 수 있도록 런너(112) 및 게이트(113)가 순차적으로 형성되어 있다. 통상 상기 각 게이트(113)에는 일정 공간을 갖는 제1캐비티(114)가 연통되어 형성되어 있다. 상기 제1캐비티(114)는 제1반도체패키지 자재(501)가 안착되어 상기 융용된 봉지재(300)에 의해 물딩되는 공간이다.

한편, 상기 하금형(200)에는 상기 램포트(111)의 하부에 연통되어 상기 봉지재(300)가 통과하도록 런너(212) 및 게이트(213)가 순차적으로 형성되어 있고, 상기 게이트(213)에는 제2반도체패키지 자재(502)가 뒤집어진 상태로 위치되어 물딩되도록 제2캐비티(214)가 연통되어 형성되어 있다.

즉, 상기 제1캐비티(114) 및 제2캐비티(214)는 그것에 안착된 제1,2반도체패키지 자재(501,502)가 상호 밀착되도록 형성되어 있다. 더욱 상세하게는 상기 제1반도체패키지 자재(501)는 정위치로 위치되어 있고, 상기 제1반도체패키지 자재(501)의 하면에는 제2반도체패키지 자재(502)가 뒤집혀진 상태로 상기 제1반도체패키지 자재(501)의 하면에 밀착되어 있다.

따라서, 상기 램포트(111)를 통한 봉지재(300)는 상금형(100) 및 하금형(200)의 각 런너(112,212) 및 게이트(113,213)를 통해 각각의 제1캐비티(114) 및 제2캐비티(214)에 충전되고, 이로 인해 상기 상금형(100)의 제1캐비티(114) 및 하금형(200)의 제2캐비티(214)에 각각 안착된 제1반도체패키지 자재(501) 및 제2반도체패키지 자재(502)는 한번의 공정으로 동시에 물딩됨으로써, 증래에 비해 생산성이 대략 2배 정도 향상된다.

도3은 본 발명의 제2실시예인 반도체패키지용 금형을 도시한 단면도이다.

도시된 바와 같이 대부분의 구조는 상기 제1실시예와 유사하고, 다만 대략 판상의 플레이트(400)가 상기 상금형(100)의 제1캐비티(114)와 하금형(200)의 제2캐비티(214)에 삽입된 것이 상이하다.

즉, 상기 제1캐비티(114) 및 제2캐비티(214) 사이에는 대략 판상의 플레이트(400)가 더 위치되어 있고, 상기 각 플레이트(400)의 상,하면에는 제1반도체패키지 자재(501) 및 제2반도체패키지 자재(502)가 각각 밀착되어 있다. 물론, 램포트(111)에 연통된 런너(112,212) 및 게이트(113,213)는 모두 상기 플레이트(400)의 상,하면에 형성되어 있다.

또한, 상기 하금형(200)에는 상기 램포트(111)와 연통된 제2램포트(211)가 더 형성되어 있고, 제2램포트(211)에는 별도의 제2트랜스퍼램(221)이 상,하 이동 가능하게 결합되어 있을 수 있다. 이와 같이 상금형(100) 및 하금형(200)에 각각 램포트(111,211)가 구비될 경우에는 상기 봉지재(300)가 각 제1캐비티(114) 및 제2캐비티(214)에 충전되는 시간이 더욱 단축되며, 이러한 구조는 상기 제1실시예에도 그대로 적용 가능하다.

한편, 상기한 구조 역시 상기 램포트(111)를 통한 봉지재(300)가 상금형(100) 및 하금형(200)의 각 런너(112,212) 및 게이트(113,213)를 통해 각각의 제1캐비티(114) 및 제2캐비티(214)에 충전되고, 이로 인해 상기 상금형(100)의 제1캐비티(114) 및 하금형(200)의 제2캐비티(214)에 각각 안착된 제1반도체패키지 자재(501) 및 제2반도체패키지 자재(502)는 한번의 공정으로 동시에 물딩됨으로써, 증래에 비해 생산성이 대략 2배 정도 향상된다.

이러한 반도체패키지 자재는 도4에 도시된 바와 같이 봉지재(300)의 혈을 삭힌 후 상,하금형(100)(200)으로부터 상기 반도체패키지 자재(501,502)를 분리하고 불필요한 부위인 커풀(Cull)을 절단수단으로 절단하는 것에 의해, 반도체패키지 자재의 물딩을 완료하게 된다.

미상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

발명의 효과

따라서, 본 발명에 의한 반도체패키지용 금형은 상금형 및 하금형에 각각 제1캐비티 및 제2캐비티를 각각 형성하고, 상기 각각의 제1,2캐비티에는 제1,2반도체패키지 자재가 위치하도록 함으로써, 한번의 공정으로 증래에 비하여 2배의 물딩된 반도체패키지 자재를 얻게 된다. 따라서, 증래에 비하여 생산성이 2배로 향상되는 효과가 있다.

(5). 청구항의 범위

청구항 1

봉지재를 고압상태로 제공하는 트랜스퍼램이 이동하도록 일정 직경의 램포트가 형성되어 있고, 상기 램포트에 연통되어 상기 봉지재가 통과하도록 런너 및 게이트가 순차적으로 형성되어 있고, 상기 게이트에는 제1반도체패키지 자재가 위치되어 봉지재로 물딩되도록 제1캐비티가 형성되어 있는 상금형과;

상기 상금형의 램포트 하부에는 상기 램포트에 연통되어 상기 봉지재가 통과하도록 런너 및 게이트가 순차적으로 형성되어 있고, 상기 게이트에는 제2반도체패키지 자재가 위치되어 봉지재로 물딩되도록 제2캐비티가 형성되어 있는 하금형을 포함하여 이루어진 반도체패키지용 금형.

청구항 2

제1항에 있어서, 상기 제1캐비티 및 제2캐비티는 상기 각각의 제1,2캐비티에 안착된 제1,2반도체패키지 자재가 상호 밀착되도록 형성됨을 특징으로 하는 반도체패키지용 금형.

청구항 3

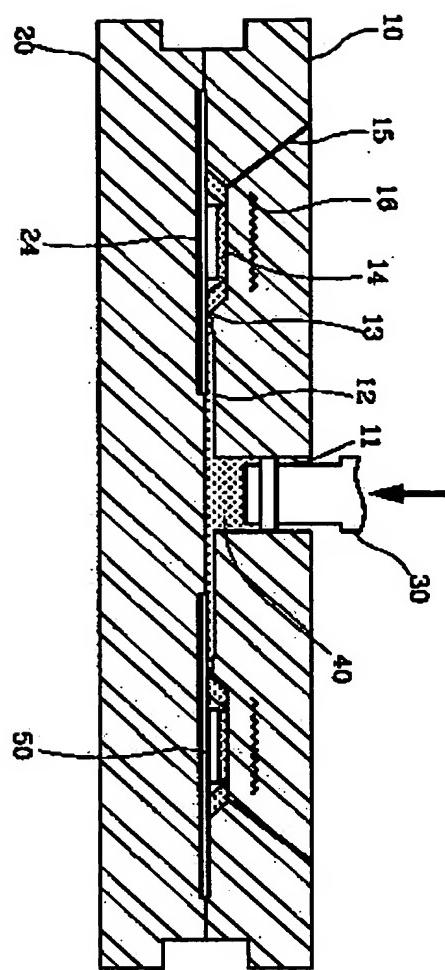
제1항에 있어서, 상기 제1캐비티 및 제2캐비티 사이에는 대략 판상의 플레이트가 위치되고, 상기 플레이트의 상,하면에는 제1,2반도체패키지 자재가 밀착됨을 특징으로 하는 반도체패키지용 금형.

청구항 4

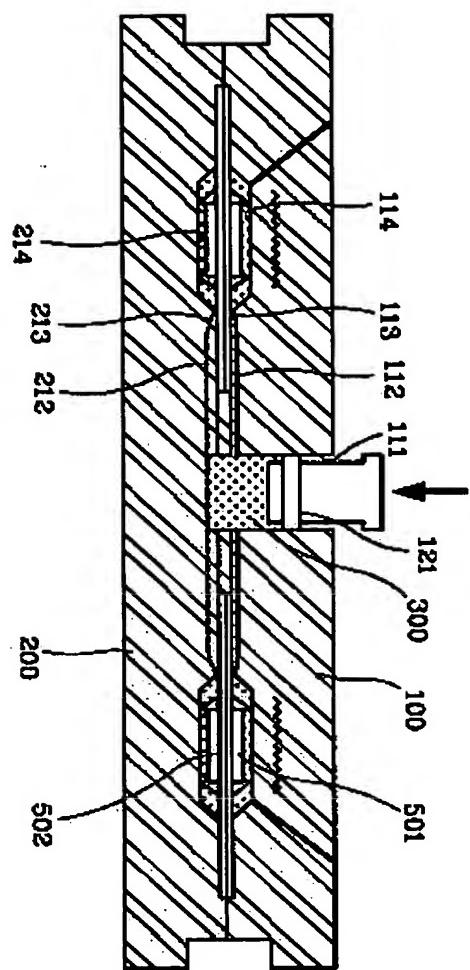
제1항에 있어서, 상기 하급형은 상기 텁포트와 연결된 제2템포트가 더 형성되어 있고, 제2템포트에는 별도의 제2트랜스퍼램이 상,하 이동 가능하게 결합된 것을 특징으로 하는 반도체패키지용 금형.

도면

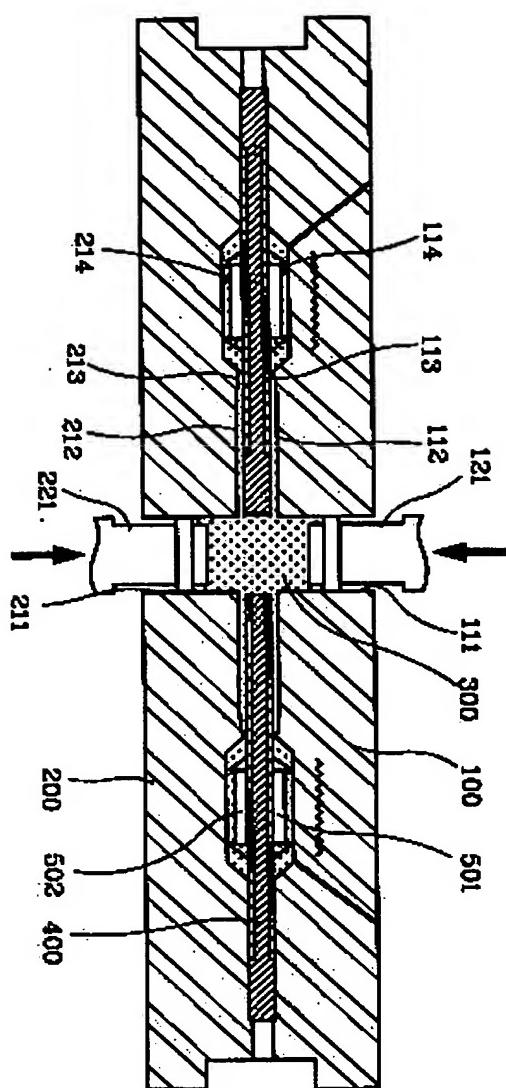
도면 1



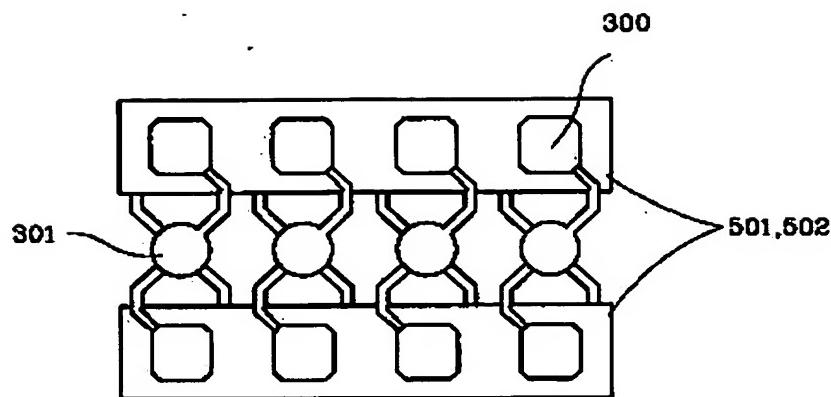
도면2



도면 3



도면4



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.